

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Myoung-Su YANG

GAU: TBA

SERIAL NO. 09/748,871

EXAMINER: TBA

FILED: December 28, 2000

FOR: METHOD OF FORMING A POLYCRYSTALLINE SILICON LAYER

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
KOREA	1999-67846	December 31, 1999

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

Date: April 16, 2001

LONG ALDRIDGE & NORMAN LLP

Sixth Floor
701 Pennsylvania Avenue, N.W.
Washington, D.C. 20004
Tel. (202) 624-1200
Fax. (202) 624-1298
75491.1

Song K. Jung
Registration No. 35,210



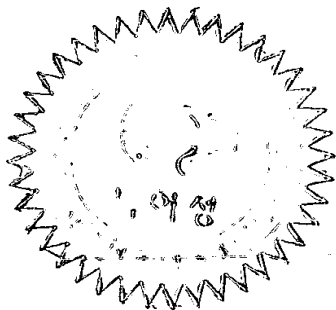
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial Property Office.

출원 번호 : 특허출원 1999년 제 67846 호
Application Number

출원 년 월 일 : 1999년 12월 31일
Date of Application

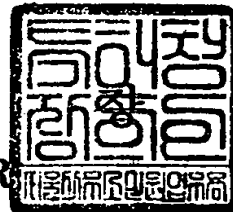
출원 인 : 엘지.필립스 엘시디 주식회사
Applicant(s)



2000 년 12 월 06 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	1999.12.31
【발명의 명칭】	폴리실리콘 형성방법
【발명의 영문명칭】	Method for forming poly silicon
【출원인】	
【명칭】	엘지 .필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	정원기
【대리인코드】	9-1998-000534-2
【포괄위임등록번호】	1999-001832-7
【발명자】	
【성명의 국문표기】	양명수
【성명의 영문표기】	YANG,MYOUNG SU
【주민등록번호】	630512-1090611
【우편번호】	435-041
【주소】	경기도 군포시 산본1동 1055 매화아파트1401동 605호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 기 (인) 정원
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	3 면 3,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	32,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 액티브층을 포함하는 스위칭 소자에 관한 것이며, 특히 그레인과 그레인 바운더리로 구성되어 결정화되는 폴리실리콘으로 형성되는 액티브층 형성방법에 관한 것으로, 상기 실리콘박막을 엑시머레이저를 이용하여 완전한 멜팅방법으로 1 차 측면성장으로 결정화 한 후, 2차로 부분멜팅방법으로 상기 1차 멜팅방법에 의해 측면성장한 그레인과, 그레인바운더리의 돌출부를 녹여 재결정하는 방법으로, 상기 그레인 내의 디펙트를 제거하고, 상기 그레인바운더리의 돌출부를 거의 평탄하게 형성하여 전기적특성이 뛰어난 TFT 소자를 제작할 수 있다.

【대표도】

도 7

【명세서】

【발명의 명칭】

폴리실리콘 형성방법{Method for forming poly silicon}

【도면의 간단한 설명】

도 1a 내지 도 1c는 일반적인 실리콘 결정화과정을 도시한 평면도이고,

도 2는 실리콘 결정화를 위한 구성을 도시한 사시도이고,

도 3은 실리콘 결정화 공정을 도시한 평면도이고,

도 4는 도 3의 D를 확대한 단면도이고,

도 5는 폴리실리콘으로 결정화된 반도체층의 일부평면을 도시한 평면도이고,

도 6은 유리기판 상에 노광되는 레이저빔 패턴을 도시한 평면도이고,

도 7은 본 발명에 따른 실리콘 결정화 공정을 도시한 평면도이고,

도 8은 본 발명에 따라 결정화된 폴리실리콘의 개략적인 단면을 도시한 단면도이다.

<도면의 주요부분에 대한 간단한 설명>

211 : 기판

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11> 본 발명은 반도체층(Semiconductor layer)을 갖는 스위칭소자에 관한 것으로서 특히, 미세표면이 평탄한 반도체층을 갖는 박막트랜지스터(Thin film transistor)에 관한 것이다.
- <12> 일반적으로, 박막트랜지스터는 다층으로 구성되고 반도체층, 절연층, 보호층, 전극층으로 나뉘어 진다.
- <13> 상기 박막트랜지스터의 각 요소에 대해 좀더 상세히 설명하면, 반도체층으로는 아몰퍼스 실리콘(Amorphous Silicon) 또는 폴리실리콘(Poly silicon)등이 사용되고, 절연층(Insulate layer)으로는 실리콘 질화막(SiN_x), 실리콘 산화막(SiO_2), 산화알루미늄(Al_2O_3), 탄탈옥사이드(TaO_x)등이 사용되며, 보호층(Passivation layer)으로는 투명 유기절연물질 또는 절연물질이 사용되고, 전극층(Electrode layer)으로는 알루미늄(Al), 크롬(Cr), 몰리브덴(Mo)등의 금속 도전성 물질이 일반적으로 사용된다.
- <14> 이들 각 요소에 따른 물질들은 증착장치(Deposition Apparatus) 즉, 스퍼터링(sputtering)장치, 화학기상증착(Cheical vapor deposition) : CVD)장치 등을 사용하여 성막한 후에 리소그래피(Lithography)기술을 구사하여 소자의 각 요소로 형성된다.
- <15> 이와 같이 구성된 각 구성층 중 반도체층은 전자가 흐르는 전도채널로서 역할을 하고 상기 전극층은 소스전극, 드레인전극, 게이트전극으로 구성되며 이 때, 소스전극은 상기 반도체층에 신호전압을 인가하는 수단이 된다.

- <16> 또한, 상기 소스전극은 상기 반도체층을 통해 신호전압을 상기 드레인전극으로 방출하는 수단이 된다.
- <17> 그리고 상기 게이트전극은 상기 소스전극에서 드레인전극으로 전류의 흐름을 스위칭 하는 수단이 된다.
- <18> 따라서, 박막트랜지스터는 스위칭 소자로 사용하게 되며, 액티브 매트릭스 액정표시소자(Active matrix liquid crystal display device : AMLCD)를 위한 스위칭요소로 응용된다.
- <19> 이러한 액티브매트릭스 액정표시소자는 카드뮴 셀레나이드(CdSe), 수소화된 아몰퍼스 실리콘(a-Si:H), 폴리 크리스탈라인 실리콘(Poly-crystalline-silicon : poly-Si)이 반도체층으로 사용된 박막트랜지스터를 사용함으로써 성공적인 구성이 가능해졌다.
- <20> 이와 같이, 박막트랜지스터의 반도체층으로 사용되는 물질 중 아몰퍼스 실리콘은 공정이 간단하고 저온에서 처리될 수 있음으로, 이미 솔라셀(Solar cell)과 같은 대면적 소자제작에 사용되고 있다.
- <21> 또한, 아몰퍼스 실리콘을 이용한 소자의 제작공정은 최대 온도가 350℃정도의 저온 처리 시스템에서 단독으로 행해질 수 있기 때문에 제작이 편리하다.
- <22> 그러나, 실제로 아몰퍼스 실리콘내에서의 낮은 전자 이동도(<2cm²/Vsec)는 박막트랜지스터의 스위칭의 동작특성에 방해의 요인으로 작용하고 또한, 고속으로 박막트랜지스터를 제어하는 구동회로소자(Drive circuitry)와 박막트랜지스터의 통합을 어렵게 한다.
- <23> 반면, 폴리실리콘을 반도체층으로 사용한 박막트랜지스터는 액티브매트릭스 액정표시소자에 적당하다.

<24> 폴리실리콘으로 제조되는 박막트랜지스터는 새로운 처리단계가 필요하지만, 대신에 액티브매트릭스 액정표시소자내의 스위칭소자로서 아몰퍼스 실리콘보다 몇배 빠른 응답 속도를 가지고 있다.

<25> 또한, 폭넓게 사용되는 아몰퍼스- 박막트랜지스터에 비교하여 폴리실리콘의 가장 큰 장점은 $20\sim550\text{cm}^2/\text{Vsec}$ 정도의 높은 전계효과 이동도를 가지고 있다는 것이다.

<26> 전계효과 이동도는 박막트랜지스터의 스위칭속도를 결정하며, 아몰퍼스 실리콘보다 수 100배 빠르다.

<27> 이러한 차이는 폴리실리콘이 여러 결정립(Grain)으로 구성되었고, 아몰퍼스실리콘보다는 적은 디펙트(defect)를 가지고 있는 것에 기인한다.

<28> 따라서, 폴리실리콘은 대면적 스크린을 갖는 차세대 액정표시소자를 위한 스위칭 뿐만 아니라, 구동회로 일체화가 가능한 소자로 기대된다.

<29> 이러한 폴리실리콘을 결정화 하는 방법은 SPC법, MIC법, 엑시머레이저어닐링법 등이 있다.

<30> 상기 SPC(Solid phase crystallization)방법은 고상결정방법으로서, 고온(600도)에서 아몰퍼스실리콘을 결정화하는 방법이다. 이 방법은 고상에서 결정화가 이루어지기 때문에 결정립 내에 결함(micro-twin, dislocation...)이 많아서 결정도가 떨어지며, 이를 보완하기 위하여 고온(~1000도)의 열산화막을 게이트 절연막으로 사용한다. 따라서, 1000°C 이상에서 결탈수 있는 수정과 같은 고 가격대의 소재를 사용해야만 하는 단점이 있다.

<31> 상기 MIC(Metal induced crystallization)방법은 금속유도결정화 방법으로, 아몰퍼

스실리콘 위에 금속을 증착하여 열을 가해줌으로서 결정화하는 방법이다. 이 때, 금속은 결정화 되는 아몰퍼스실리콘의 엔탈피를 낮추어 주는 역할을 한다.

<32> 따라서, 500℃ 정도의 저온공정처리가 가능하나, 표면의 상태가 좋지않고 금속에 의한 전기적인 특성 저하를 보인다. 또한, 이 방법도 고상 결정화이므로 결정립내의 결함이 다수 존재한다.

<33> 다른 방법으로는 레이저(laser)를 사용하는 방법이 있으며, 이 방법은 저온 공정처리가 가능하여 저가의 유리기판을 사용할 수 있기 때문에 가격 경쟁력면에서 우수하다.

<34> 특히 엑시머레이저 어닐링 방법(Excimer laser annealing method)으로 제조된 박막 트랜지스터는 100cm²/Vsec 이상의 이동속도를 가질 수 있게 됨으로 소자의 동작특성이 좋다.

<35> 전술한 방법들로 결정화되는 폴리실리콘은 결정화 초기에 실리콘 씨드(Silicon seed)로부터 액상의 실리콘이 냉각되면서 양질의 그레인(grain)을 얻을 수 있다.

<36> 이러한 실리콘 결정성장은 측면성장(lateral growth)을 할 경우에 큰 결정립을 얻을 수 있다.

<37> 만약 각 실리콘씨드의 간격이 실리콘 그레인의 최대 성장거리보다 크다면, 실리콘 씨드를 중심으로 측면성장하게 되는 실리콘결정은 최대로 성장한 후 액상으로 남은 영역에서는 초냉각(Super-cooling)에 의해 핵 생성이 일어나서 작은 결정립이 생긴다. 그러나, 씨드 간격이 최대 성장거리 보다 적다면, 씨드를 중심으로 측면성장이 일어나서 각 결정립이 그레인바운더리를 형성하면서 큰 결정립의 폴리실리콘(poly-Si)박막을 형성한다.

- <38> 전술한 바와 같이, 기판 위에서 큰 실리콘의 결정이 바운더리를 형성하면서 균일하게 배치되어야 우수한 성능의 박막트랜지스터(thin film transistor : TFT) 소자를 얻을 수 있다.
- <39> 따라서, 도 1a 내지 도 1c에 도시한 바와 같이, 실리콘씨드의 분포는 최대 결정성장 거리 보다는 적지만, 최대한 큰 간격으로 균일하게 배치되어야 한다.
- <40> 도시한 바와 같이, 실리콘씨드(11)를 중심으로 측면성장 하게되는 실리콘의 그레인(13)들은 액상의 실리콘으로 측면성장을 하게되고, 각 그레인(13)들은 그레인바운더리 (grain boundary)(15)를 형성하면서 결정성장이 종료된다.
- <41> 여기서, 상기 엑시머레이저를 이용한 종래의 폴리실리콘의 결정화 단계를 설명한다.
- <42> 도 2는 엑시머레이저를 이용한 폴리실리콘 결정화를 위한 광학계의 구성을 도시한 사시도이다.
- <43> 도시한 바와 같이, 레이저 빔을 이용하여 기판 상에 증착된 아몰퍼스실리콘을 결정화 하기 위해서는 간략하게 레이저빔 장치(미도시)와, 마스크(33)와, 투영렌즈(35)를 필요로 한다.
- <44> 기판(31) 상에 상기 투영렌즈(35)를 위치시키고, 상기 투영렌즈(35) 상에 마스크를 위치시킨다. 이 때, 상기 마스크(33) 상에서 레이저빔(37)을 투사하게 되면 상기 레이저빔은 상기 마스크패턴에 따라 입사하게 되고, 상기 입사된 빛은 상기 투영렌즈(35)를 통해 패턴이 4~6배로 축소되면서 기판 상에 상기 미세 마스크패턴대로 실리콘 결정화를 행하게 된다.

<45> 이 때, 결정화되는 폴리실리콘의 그레인의 성장은 레이저빔의 모양과 에너지밀도와 기판의 온도와 냉각속도에 의해 제어될 수 있다.

<46> 그레인 크기와 에너지 밀도의 관계를 더욱 상세히 설명하면, 실리콘 박막의 결정성장은 그레인의 크기는 에너지밀도에 따라 크게 세가지 영역으로 나누어 설명할 수 있다.

<47> 즉, 저 에너지밀도 영역으로 하부 실리콘박막이 녹지 않는 영역(Low energy density regime- Partial melting regime), 하부 실리콘의 일부 씨드만 남고 나머지 실리콘은 완전히 녹는 완전 멜팅에 가까운영역(Near complete melting regime), 고 에너지 밀도 영역으로 실리콘 박막이 하부계면까지 완전히 녹는 영역(High energy-density regime - complete melting regime)으로 나눌 수 있으며, 상기 저 에너지 밀도 영역에서 실리콘 멜팅깊이가 실리콘 두께보다 적은 상태이며, 녹지 않은 하부 실리콘층의 씨드로부터 수직성장이 일어나서 그레인의 직경이 반도체층의 막두께보다도 적은 영역이다.

<48> 그리고, 상기 완전 멜팅에 가까운영역(Near complete melting regime)은 반도체층의 일부 하부 실리콘씨드만 남기고 모든 실리콘막이 녹은 상태이며, 이 씨드를 중심으로 측면성장을 할 수 있는 영역이다.

<49> 전술한 바와 같은 폴리실리콘의 결정화 기구를 통한 결정화방법을 상기 도 2를 참조하여 설명한다.

<50> 도시한 바와 같이, 기판(31) 상에 레이저빔 패턴을 형성하기 위한 마스크(33)와 상기 마스크(33)의 패턴을 축소하여 상기 기판(31)상에 노광하기 위한 투영렌즈(35)를 구성하여 레이저 어닐링을 시작하면 된다.

- <51> 이와 같은 구성을 이용한 폴리실리콘 결정화 과정을 설명하면, 먼저 상기 레이저빔(37)을 소정의 수단에 의해 균일화 시킨다.
- <52> 다음으로, 상기 마스크(33)를 통해서 상기 기판(31)위에 형성될 빔의 형태를 결정한다. 다음으로 축소배율의 투영렌즈(35)를 통해서 수 μm 의 빔 너비를 가진 빔을 형성한다.
- <53> 다음으로, X-Y스테이지 위에 놓인 기판(31)이 서브 μm /펄스로 이동하면서, 레이저빔에 의해 결정화가 이루어진다.
- <54> 도 3은 상기 레이저빔을 이용하여 아몰퍼스 실리콘을 결정화하는 메커니즘을 도시한 평면도이다.
- <55> 도시한 바와 같이, 분할된 각 슬릿(A,B,C)을 통해서 상기 레이저빔의 펄스에 노출하는 과정을 통해 아몰퍼스실리콘을 폴리실리콘으로 결정화 할 수 있으며, 이 때 일차노광(45)에서는 레이저빔의 양끝의 고상 실리콘 씨드로부터 레이저빔 내의 액상실리콘으로 측면성장이 일어나 가운데서 바운더리(41)가 형성된다. 이 때 에너지 밀도는 실리콘 박막이 전술한 완전멜팅이 되는 영역을 사용하며, 빔폭도 (최대 측면 성장거리)x2배 보다 적게 만든다.
- <56> 2차 노광(47)에서는 상기 1 차 노광에서 형성된 결정이 연속해서 성장된다.
- <57> 그리하여 N차 노광 후, 측면성장하여 결정화된 폴리실리콘은 슬릿(A,B,C)간의 거리만큼 그레인(43)이 연속 성장하여 형성된다. 또한 상기 각 슬릿영역(A,B,C)이 만나는 부분은 폴리실리콘의 그레인바운더리(41a) 영역이다.
- <58> 도 4는 도 3의 D를 확대한 확대도이다.

- <59> 도시한 바와 같이, 상기 D부분은 실리콘결정의 그레인바운더리 부분이 만나서 부딪히는 영역으로서, 상기 그레인의 측면성장에 대해 수직으로 돌출부(45)를 형성한다.
- <60> 이 때, 상기 돌출부(45)의 높이는 대략 $\sim 300\text{\AA}$ 이상이며, 이러한 원인은 고체화된 실리콘의 부피가 고체화 되기전 액체상태의 부피보다 크기 때문이며, 멜팅된 실리콘 박막이 상기 그레인바운더리 영역에서 최종 냉각되어 이 부분에서 부피팽창이 일어나기 때문이다.
- <61> 또 한, 전술한 바와 같이 종래의 결정화 방법으로 실리콘을 결정화하면 도 5에 도시한 바와 같이, 상기 그레인바운더리 내에 결함(low angle defect)(51)이 다수 존재한다.
- <62> 상기 결함이 형성되는 원인은 상기 실리콘을 녹인 후, 레이저빔을 차단하게 되면 상기 실리콘에 존재하는 열은 하부기판을 통해 빠져나가게 된다.
- <63> 이와 같이, 냉각과정에 의해 실리콘이 결정화되기 시작하며, 특히 표면에 근접한 결정들은 갑작스런 냉각에 의해 이상성장을 하게되면서 발생한다.
- <64> 전술한 바와 같은 폴리실리콘은 추후에 패터닝되어 반도체층의 채널로서 사용하게 되며, 상기 폴리실리콘 상에는 절연층이 적층되는 과정을 거치게 된다.
- <65> 이 때, 폴리실리콘의 그레인 내의 결함과 그레인바운더리에 의한 평탄하지않은 표면을 갖는 반도체층 위에 절연층을 증착함으로써, 상기 폴리실리콘 반도체층과 상기 절연층사이의 계면에서 발생하는 부정합에 의해 전자에 대한 트랩준위가 발생한다. 이와 같은 이유로, 폴리실리콘층의 표면을 흐르는 전자의 모빌리티(Mobility)가 현저히 저하

되며, 소자의 신뢰성에 나쁜 영향을 미친다.

【발명이 이루고자 하는 기술적 과제】

<66> 따라서, 본 발명은 미세표면이 평탄한 폴리실리콘막으로 형성된 반도체층을 갖는 TFT 소자의 제조방법을 제안하는데 그 목적이 있다.

【발명의 구성 및 작용】

<67> 전술한 바와 같은 목적을 달성하기 위한 본 발명에 따른 폴리실리콘 결정화 방법은 기판을 구비하는 단계와; 기판 상에 아몰퍼스 실리콘을 증착하여 실리콘막을 형성하는 단계와; 상기 실리콘막 상에 1차로 완전멜팅 에너지 영역대의 엑시머레이저 빔을 주사하여 상기 실리콘을 완전히 녹여서 순차적 측면 결정화하는 방법으로, 한쪽 방향으로 연속 성장하는 그레인들로 구성되는 다결정 폴리실리콘을 형성하는 단계와; 상기 형성된 폴리실리콘층 상에 2 차로 부분멜팅 에너지 영역대의 엑시머레이저빔을 동시에 순차 주사하여 상기 폴리실리콘 하층부는 녹지 않도록 소정의 깊이로 부분멜팅하고 재결정하는 방법으로 그레인 내의 결함 제거와 그레인바운더리를 평탄화하는 단계를 포함한다.

<68> 상기 완전멜팅 에너지 영역대의 엑시머레이저 빔 폭은 2 μ m의 미세 마스크 패턴형태로 하는 것을 특징으로 한다.

<69> 본 발명의 특징에 따른 스위칭 소자 제조방법은 기판을 구비하는 단계와; 기판 상에 비정질 실리콘을 증착하여 실리콘막을 형성하는 단계와; 상기 실리콘막 상에 1차로 완전멜팅 에너지 영역대의 엑시머레이저 빔을 주사하여 상기 실리콘을 녹여서 순차 측면

결정화 하는 방법으로 연속 성장하는 그레인들로 구성되는 다결정 폴리실리콘을 형성하는 단계와; 상기 형성된 폴리실리콘 층 상에 2 차로 부분멜팅 에너지 영역대의 엑시머 레이저빔을 주사하여 상기 폴리실리콘층을 소정의 깊이로 부분 멜팅 하고 재결정하는 방법으로 그레인 내의 결함 제거와 그레인바운더리를 평탄화하여 폴리실리콘층을 형성 한 후, 패터닝하여 아일랜드 형태의 반도체층을 형성하는 단계와; 제 1 전극을 형성하는 단계와; 제 2 전극과 제 3 전극을 형성하는 단계를 포함한다.

<70> 상기 완전멜팅 에너지 영역대의 엑시머레이저 빔 폭은 $\sim 2\mu\text{m}$ 인 것을 특징으로 한다.

<71> 상기 제 1 전극은 상기 반도체층을 흐르는 전하의 흐름을 제어하는 게이트전 극인 것을 특징으로 한다.

<72> 상기 제 2 전극과 제 3 전극은 상기 반도체층으로 전하를 방출하고, 상기 반도체층 으로부터 전하를 받아들이는 소스전극과 드레인전극인 것을 특징으로 한다.

<73> 이하, 첨부한 도면을 참조하여 본 발명에 따른 바람직한 실시예를 설명한다.

<74> 본 발명에 따른 폴리실리콘 결정화 방법은 종래의 결정화 방법에 문제점이었던 그레인 내의 결함 (low angle defect)(도5의 51)와 그레인바운더리 영역의 수직 돌출부(도 4의 45)를 제거하기 위해, 1차로 순차 측면성장을 하도록 결정화된 폴리실리콘을 2차로 전술한 부분멜팅을 시행하여 상기 1차로 성장한 폴리실리콘 결정간의 돌출부인 그레인바운더리 부분과 그레인부분을 소정 깊이로 부분 멜팅하고 재 결정하는 방법을 사용하였으며, 상기와 같은 방법으로 전술한 종래의 폴리실리콘 내의 결함 제거와 그레인 바운더리 돌출부를 평탄화 시킬 수 있다.

- <75> 자세히 설명하면, 도 6은 본 발명에 따라 제작된 유리기판 상에 노광되는 레이저빔 패턴을 도시한 평면도이다.
- <76> 먼저, 기판(미도시)상에 도전성 금속을 증착하고 패터닝하여 게이트전극(미도시)과 게이트배선(미도시)을 형성한 후, 상기 게이트전극이 형성된 기판의 전면에 실리콘 질화막(SiN_x) 실리콘 산화막(SiO_2) 등의 절연물질을 증착하여 절연층을 형성한 후, 상기 절연층 상에 아몰퍼스실리콘을 증착한다.
- <77> 상기 아몰퍼스 실리콘이 수소화 된 것이라면, 상기 실리콘을 결정화 하기전 소정의 온도에서 어닐링을 통해 상기 실리콘과 결합된 수소를 제거하는 탈수소화 공정을 거쳐야 한다.
- <78> 왜냐하면, 상기 아몰퍼스 실리콘을 결정화 하는 동안 상기 실리콘과 결합되어 있던 수소가 날아가면서 그 자리에 미세한 기공(pore)을 형성하게 된다.
- <79> 이러한 미세한 기공은 폴리실리콘의 전기적 특성을 저하하는 원인이 되기 때문이다.
- <80> 다음으로, 도 6에 도시한 바와 같이, 본 발명에 따른 마스크패턴(109)을 사용하여 상기 유리기판 상에 형성된 아몰퍼스실리콘을 노광시켜 측면성장을 통해 결정화된 폴리실리콘을 형성한다.
- <81> 상기 마스크 패턴(109)에는 부분 멜팅영역패턴(111)과 완전멜팅영역패턴(113)으로 분할하여 구성된다. 여기서, 상기 부분멜팅영역(111)패턴은 빛의 투과도가 낮은 코팅막을 형성하고, 상기 완전멜팅영역 패턴은 빛이 그냥투과하도록 한다.
- <82> 즉, 상기 부분멜팅 영역패턴(111) 및 완전 멜팅영역패턴(113)을 통해 투과되는 레

이저빔의 세기는 다르게 되는 것이다.

<83> 이 때, 전술한 완전멜팅영역패턴을 투과한 레이저빔은 완전멜팅 에너지 영역에 해당하는 것으로서, 상기 레이저빔의 폭이 $\sim 2\mu\text{m}$ 정도이며, 이러한 에너지대는 상기 실리콘 박막이 완전히 녹는 상태가 되도록 하여 순차 측면성장이 가능하다.

<84> 그리고, 상기 부분멜팅패턴영역(111)은, 저 에너지밀도 영역으로 실리콘 멜팅 깊이가 실리콘 두께보다 적은 상태이다 따라서, 상기 측면성장된 폴리실리콘의 상층부만을 녹일 수 있다.

<85> 이하 도 7을 참조하여 실리콘박막을 미세표면을 갖는 다결정인 폴리실리콘 결정화하는 방법을 설명한다.

<86> 도시한 바와 같이, 1차 노광에 의해 상기 기판(211) 상에 증착된 실리콘에 본 발명에 따른 마스크패턴을 사용하여 두 영역대의 레이저빔을 주사하게 되는데, 먼저 완전멜팅 영역 패턴에 의해 상기 실리콘을 완전히 녹여서, 순차 측면 결정화 하는 방법으로 연속 성장된 그레인를 갖는 폴리실리콘결정을 형성한다.

<87> 다음으로, 2 차 부분멜팅 영역패턴에 의해 상기 완전멜팅방법에 의해 형성된 폴리실리콘영역을 부분멜팅영역대의 레이저빔을 조사하여 상기 폴리실리콘의 상층부가 소정 깊이로 부분 멜팅되고 다시 재결정화 함으로써 상기 그레인내의 결함을 없애는 동시에, 상기 돌출부분이 거의 없는 평탄화된 실리콘표면을 얻을 수 있다.

<88> 이 때, 상기 완전멜팅과 부분멜팅은 동시에 순차적으로 이루어지며, n차 노광상태에서 완료된다.

<89> 도 8은 본 발명에 따라 형성된 폴리실리콘 결정의 부분단면을 도시한 단면도이다.

- <90> 도시한 바와 같이, 1 차로 완전멜팅 방법에 의해 완전히 측면성장한 폴리실리콘결정의 그레인바운더리가 만나는 부분에 돌출부(B)가 형성된다.
- <91> 다음으로, 2차로 부분멜팅방법을 사용하여 상기 돌출부(B)를 녹이고 재결정화 시키면, 상기 돌출부는 평탄화되어, 미세표면이 평탄한 폴리실리콘 반도체층을 형성할 수 있다.
- <92> 전술한 바와 같은 방법으로 형성된 폴리실리콘 층을 소정의 방법으로 패터닝하여, 상기 게이트전극(미도시)상에 아일랜드 형태로 액티브층을 형성한다.
- <93> 다음으로, 상기 액티브층 상에 도전성 금속물질을 증착하고 패터닝하여 상기 반도체층 상에 소정간격 이격되어 형성되는 제 2 전극과 제 3 전극을 형성하는 방식으로 소위 위칭소자를 제작할 수 있다.
- <94> 전술한 실시예는 인버티드스테거드형(inverted staggered) 박막트랜지스터를 예로 들었지만, 탑 게이트 형(Top Gate type)에도 상기 폴리실리콘 결정화 방법으로 반도체층을 채널로 사용하는 다수의 TFT 소자에 실시할 수 있다.

【발명의 효과】

- <95> 따라서, 본 발명에 따른 실리콘결정화 방법은 완전멜팅 영역대의 엑시머레이저빔으로 먼저 실리콘을 순차 측면 결정화 한 후, 부분 멜팅영역대의 엑시머레이저빔으로 상기 결정화된 실리콘을 녹여 재결정화 하는 방법으로 그레인 내의 결함 제거와 그레인바운더리 부분의 돌출부를 평탄화하여 전기적 특성이 뛰어난 TFT 소자를 제작할 수 있는 효과가 있다.

<96> 또한, 상기 폴리실리콘을 평탄화 하기위해 기존의 장비를 그대로 사용함으로서 투자비용의 증가가 필요하지 않아서 가격경쟁력의 효과가 있다.

【특허청구범위】**【청구항 1】**

기판을 구비하는 단계와;

기판 상에 아몰퍼스 실리콘을 증착하여 실리콘막을 형성하는 단계와;

상기 실리콘막 상에 1차로 완전멜팅 에너지 영역대의 엑시머레이저 빔을 주사하여 상기 실리콘을 녹이고 순차 측면 결정화하는 방법으로 연속 성장된 그레인 들로 구성되는 다결정 폴리실리콘을 형성하는 단계와;

상기 형성된 폴리실리콘층 상에 2 차로 부분멜팅 에너지 영역대의 엑시머레이저빔을 주사하여 상기 폴리실리콘 상층부를 소정의 깊이로 부분 멜팅하고 재결정하는 방법으로 그레인 내의 결함제거와 그레인바운더리 돌출부를 평탄화하는 단계를

포함하는 폴리실리콘 결정화 방법.

【청구항 2】

기판을 구비하는 단계와;

기판 상에 비정질 실리콘을 증착하여 실리콘막을 형성하는 단계와;

상기 실리콘막 상에 1차로 완전멜팅 에너지 영역대의 엑시머레이저 빔을 주사하여 상기 실리콘을 녹이고 순차 측면 결정화 하는 방법으로 연속 성장된 그레인들로 구성되는 다결정 폴리실리콘을 형성하는 단계와;

상기 형성된 폴리실리콘 층 상에 2 차로 부분멜팅 에너지 영역대의 엑시머레이저빔

을 주사하여 상기 폴리실리콘 상층부를 소정의 깊이로 부분 멜팅하고 재결정하는 방법으로 그레인 내의 결함제거와 그레인바운더리 돌출부를 평탄화하여 폴리실리콘층을 형성한 후, 패터닝하여 아일랜드 형태의 반도체층을 형성하는 단계와;

제 1 전극을 형성하는 단계와;

제 2 전극과 제 3 전극을 형성하는 단계

를 포함하는 스위칭소자 제조방법.

【청구항 3】

제 2 항에 있어서,

상기 제 1 전극은 상기 반도체층을 흐르는 전하의 흐름을 제어하는 게이트전 극인 스위칭 소자 제조방법.

【청구항 4】

제 2 항에 있어서,

상기 제 2 전극과 제 3 전극은 상기 반도체층으로 전하를 방출하고, 상기 반도체층으로부터 전하를 받아들이는 소스전극과 드레인전극인 스위칭소자 제조방법.

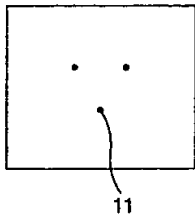
【청구항 5】

서로 소정간격 이격되어 일 방향으로 위치하고 빛의 투과도가 낮은 코팅막이 형성

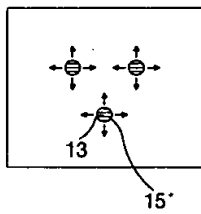
된 제 1 패턴과 빛을 투과시키는 제 2 패턴을 포함하는 실리콘 결정화를 위한 마스크 패턴.

【도면】

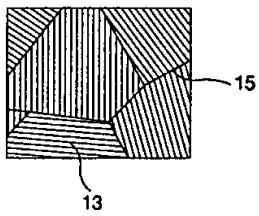
【도 1a】



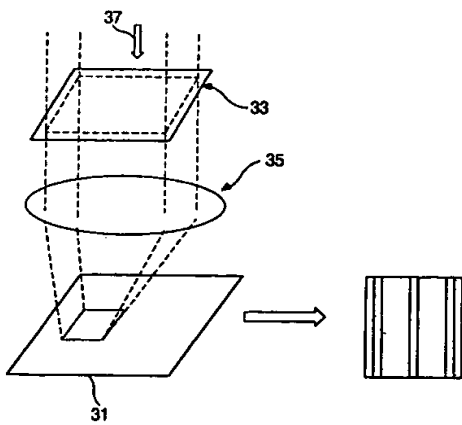
【도 1b】



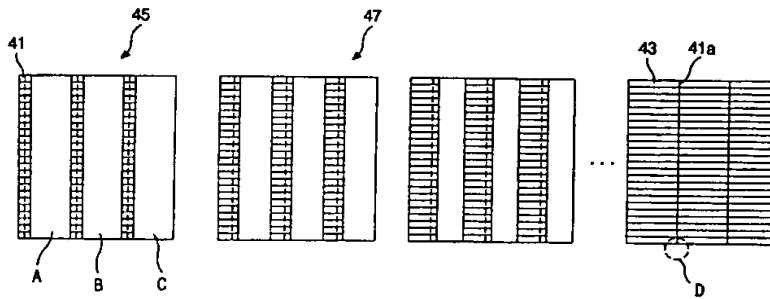
【도 1c】



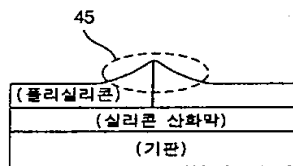
【도 2】



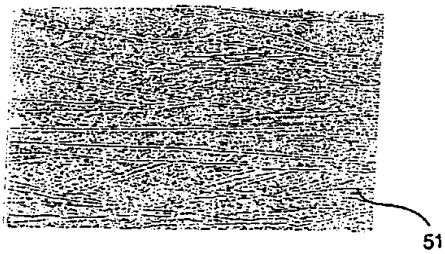
【도 3】



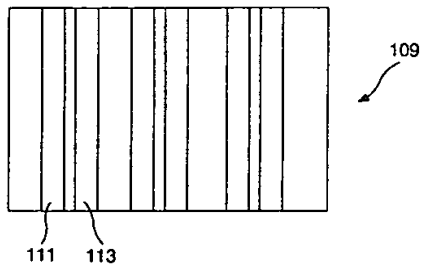
【도 4】



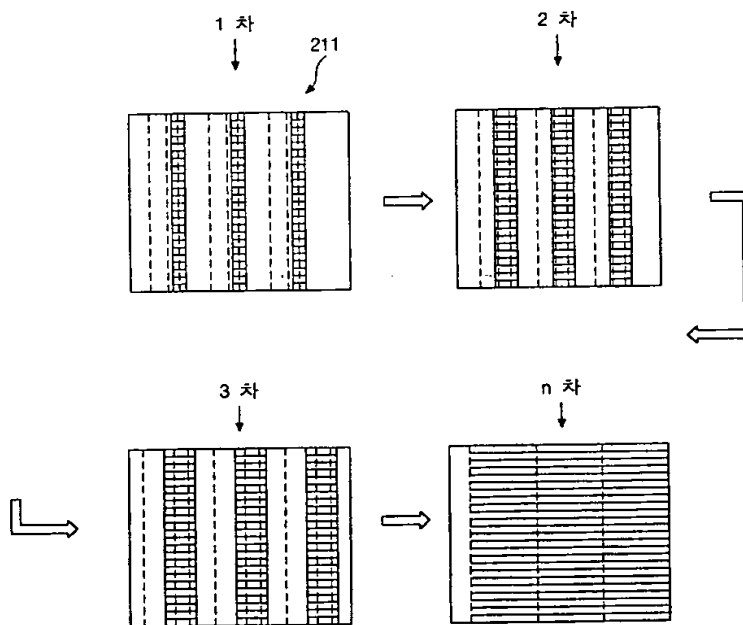
【도 5】



【도 6】



【도 7】



【도 8】

